

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-263553
 (43)Date of publication of application : 13.10.1995

(51)Int.Cl. H01L 21/768
 H01L 21/316

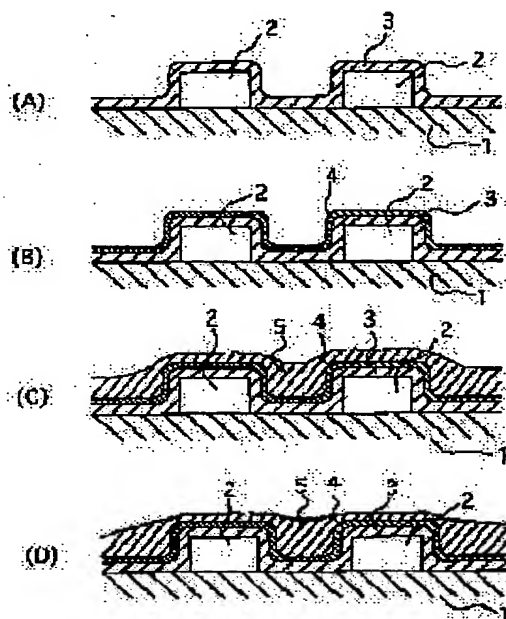
(21)Application number : 06-055601 (71)Applicant : KAWASAKI STEEL CORP
 (22)Date of filing : 25.03.1994 (72)Inventor : ICHINOSE SHUJI

(54) PRODUCTION PROCESS OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To provide a production process of a semiconductor device wherein the adhesion between an SOG layer and ground P-SiO layer can be improved to avoid cracks in an interlayer insulation layer due to poor adhesion between these layers, this making a stable flattening process practicable.

CONSTITUTION: A process for production of a semiconductor device having an interlayer insulation layer composed of a ground P-SiO layer 3 and SOG layer 5 between interconnection layers 2 comprise steps of forming a P-SiO surface layer 4 much containing OH groups on the surface of the layer 3 after forming it, and then forming the SOG layer 5.



LEGAL STATUS

[Date of request for examination] 20.08.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted to registration]

[Date of final disposal for application]

[Patent number] 2834667

[Date of registration] 02.10.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The manufacture method of a semiconductor device including the process which is the manufacture method of a semiconductor device of having the layer insulation layer which consists of a ground P-SiO layer and an SOG layer, forms in the front face of this ground P-SiO layer the P-SiO surface layer which contains OH basis so much after forming a ground P-SiO layer, and forms an SOG layer further between wiring layers.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to the manufacture method of the semiconductor device which can prevent generating of the crack in a flat layer insulation film especially about the manufacture method of a semiconductor device.

[0002]

[Description of the Prior Art] Generally, the layer insulation layer arranged between the wiring layers of a multilayer interconnection forms an SOG layer by the spin-on glass method on the wiring layer of the 1st layer, and is formed by the method of carrying out flattening of the SOG layer by heat-treatment. Since this SOG film has high moisture hygroscopicity, as shown in drawing 2 (A), it forms the ground P-SiO layer 12 on the wiring layer 11 of the 1st layer first. Next, as shown in drawing 2 (B), after carrying out the spin coat of the SOG film 13 and adding and carrying out flattening of the flat treatment of about 400 degrees C, on it, a P-SiO film is formed and the flat layer insulation layer is formed.

[0003] Although this SOG film was combined through the ground oxide film and OH basis, when this SOG film had large self-stress like especially an inorganic SOG film, as shown in drawing 2 (C), in the pad section 14 grade, the fault the SOG layer 13 separates from the ground P-SiO layer 12 might occur. As a method of preventing generating of this peeling, when a ground is a PSG film, it is CF₄+O₂. The method of raising the adhesion of a PSG film and an SOG film by processing by plasma etc. is proposed (JP,60-46036,A).

[0004]

[Problem(s) to be Solved by the Invention] However, aforementioned CF₄+O₂ it will be necessary to newly add the plasma process, and in the method by the processing using plasma, it became the cause of increase of cost, and there were problems, such as causing generating of the damage by plasma treatment, the fall of a throughput, etc.

[0005] Then, since the purpose of this invention can raise the adhesion of an SOG layer and a ground P-SiO layer and can prevent generating of the crack based on the poor adhesion between the SOG layers and ground P-SiO layers in a layer insulation layer by the simple method, it is to offer the manufacture method of the semiconductor device whose stable flattening process becomes possible.

[0006]

[Means for Solving the Problem] The manufacture method of the semiconductor device which includes the process which this invention is the manufacture method of a semiconductor device of having the layer insulation layer which consists of a ground P-SiO layer and an SOG layer between wiring layers, forms the P-SiO surface layer which contains OH basis so much on the front face of this ground P-SiO layer after forming a ground P-SiO layer, and forms an SOG layer further in order to solve the aforementioned technical problem is offered.

[0007] Hereafter, after forming a wiring layer on a semiconductor substrate, the manufacture method (henceforth "the method of this invention") of the semiconductor device of this invention is applied, the process shown in drawing 1 (A) - (D) which forms a flat layer insulation layer in the upper part of a wiring layer is taken for an example, and the method of this invention is explained in detail.

[0008] Drawing 1 (A) In the process shown in - (D), as shown in drawing 1 (A), the ground P-SiO layer 3 is formed in the upper part of the wiring layer 2 which consists of aluminum alloy formed on the semiconductor substrate 1, polycrystal silicon, a polysilicon side, etc. first. Especially formation of this ground P-SiO layer 3 is not restricted, but can be performed according to a conventional method. Moreover, although this ground P-SiO layer thickness is suitably determined according to the thickness of a wiring layer, a wiring interval, etc., it is usually about 2000-3000Å.

[0009] Next, in the method of this invention, as shown in drawing 1 (B), the P-SiO surface layer 4 which contains OH basis so much is formed on the ground P-SiO layer 3. Usually, although the amount of OH basis in this P-SiO surface layer is 0.4 to about 0.5 as compared with the amount of SiO, for improvement in adhesion, it is desirable that it is 0.7 to about 0.8. Moreover, although the thickness of this P-SiO surface layer is so good that it is thin, it is usually about 300-500Å.

[0010] formation of the P-SiO surface layer which contains OH basis so much — formation of the aforementioned ground P-SiO layer — then, after carrying out continuously and forming a ground P-SiO layer in the same membrane formation equipment, you may carry out using different membrane formation equipment. As a method of forming the P-SiO surface layer which contains this OH basis so much, the method of lowering plasma density and performing by making reaction mixture un-decomposing is effective, and, specifically, methods, such as extending gradually the electrode board interval of a CVD system which lowers the discharge voltage of plasma gradually, are effective.

[0011] In the succeeding same plasma CVD equipment after forming the aforementioned ground P-SiO layer for formation of the P-SiO surface layer which contains this OH basis so much within plasma CVD equipment in the method of this invention. The method of lowering plasma density and making reaction mixture un-decomposing by operation of extending gradually the electrode board interval of a CVD system which lowers the discharge voltage of plasma gradually, is the point which can form a thin film, and is effective in a surface layer at a good controllability.

[0012] Next, according to a conventional method, as shown in drawing 1 (C), the SOG layer 5 is formed on the P-SiO surface layer 4, further, by heat-treatment etc., as shown in drawing 1 (D), flattening of the SOG layer 5 can be performed and the flat layer insulation layer 6 which consists of the ground P-SiO layer 3, a P-SiO surface layer 4, and an SOG layer 5 on a wiring layer 2 can be obtained. Furthermore, after forming a P-SiO layer etc. in the upper part of this layer insulation

layer 6, the wiring layer of a two-layer type can be formed.

[0013] The method of this invention is not restricted to the process shown in above drawing 1 (A) - (D), but can be applied to any process of the manufacturing process of an interlayer film which has an SOG layer and a ground P-SiO layer in manufacture of a semiconductor device.

[0014]

[Function] Generally, the adhesion of an SOG layer and a ground P-SiO layer is determined by combination of OH basis which both layers have. Therefore, if OH basis of a P-SiO film increases, it will be thought that adhesion with the SOG film which has OH basis improves. Therefore, in the method of this invention, by the intervention of the P-SiO surface layer which contains OH basis so much, adhesion of an SOG layer [a ground P-SiO layer and] improves, and they are considered that it can prevent generating of a crack.

[0015]

[Example] Hereafter, the example of this invention is given and this invention is explained more concretely.

[0016] (Example 1) The P-SiO film with a thickness of 2000Å was formed on the following conditions using plasma CVD equipment (the Hitachi Electronics Engineering make, WD-8300P) on aluminum wiring layer with a height of 5000Å formed in Si wafer.

Gas conditions: SiH₄ : 300sccm N₂ O:600sccm temperature: Without changing 360 degrees C, pressure:5Torr plasma output:300W, next gas conditions, it was lowered by 200W, the plasma output was gradually lowered with 1 second by 100W for 1 second, and membrane formation was continued. At this time, it is SiH₄. When it reaches and N₂ O drops a plasma output, it is perfect SiO₂. It did not become but many unreacted P-SiO surface layers were formed. The amount of OH basis of this surface layer was 0.8 in comparison with SiO. Moreover, the thickness of this P-SiO surface layer was about 500Å. Subsequently, after applying inorganic [SOG] twice by the spin coat method, it heat-treated at 400 degrees C, and the 2500Å SOG layer was formed. Peeling had not produced the layer insulation layer which consists of the ground P-SiO layer, P-SiO surface layer, and SOG layer which were obtained.

[0017]

[Effect of the Invention] Since according to the manufacture method of the semiconductor device of this invention the adhesion of an SOG layer and a ground P-SiO layer can be raised and generating of the crack based on the poor adhesion between the SOG layers and ground P-SiO layers in a layer insulation layer can be prevented by the simple method, the stable flattening process becomes possible.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The type section view explaining the method of this invention.

[Drawing 2] The ** type view explaining the flattening process by the conventional SOG film.

[Description of Notations]

- 1 Semiconductor Substrate
- 2 Wiring Layer
- 3 Ground P-SiO Layer
- 4 P-SiO Surface Layer
- 5 SOG Layer
- 11 Wiring Layer
- 12 Ground P-SiO Layer
- 13 SOG Film
- 14 Pad Section

[Translation done.]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 7 - 2 6 3 5 5 3

(43) 公開日 平成 7 年 (1995) 10 月 13 日

(51) Int. Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/768

21/316

X

G

H 0 1 L 21/90

Q

審査請求 未請求 請求項の数 1

O L

(全 4 頁)

(21) 出願番号 特願平 6 - 55601

(22) 出願日 平成 6 年 (1994) 3 月 25 日

(71) 出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通 1 丁目 1 番 28 号

(72) 発明者 市之瀬 修 二

東京都千代田区内幸町 2 丁目 2 番 3 号 川崎

製鉄株式会社東京本社内

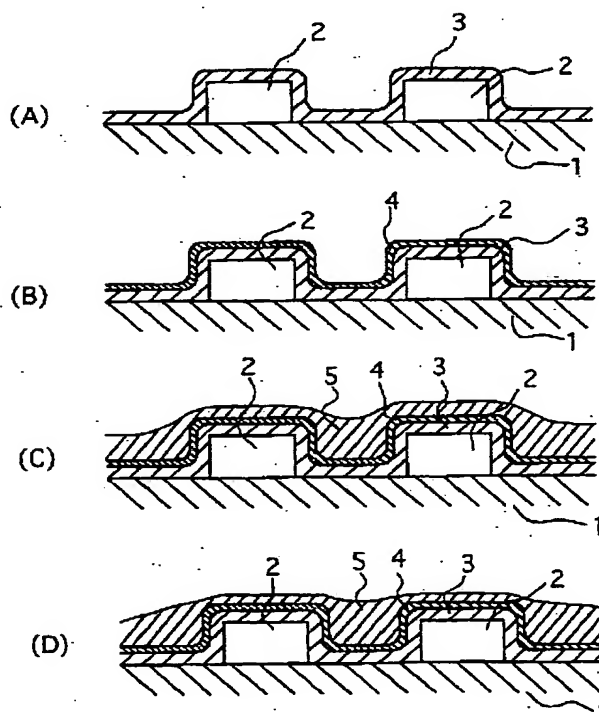
(74) 代理人 弁理士 渡辺 望稔 (外 1 名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】 (修正有)

【目的】 SOG 層と下地 P-SiO 層との密着性を向上させることができ、層間絶縁層における SOG 層と下地 P-SiO 層との間の密着性不良に基づくクラックの発生を防止することができるため、安定した平坦化プロセスが可能となる半導体装置の製造方法の提供。

【構成】 配線層 2 間に、下地 P-SiO 層 3 と SOG 層 5 からなる層間絶縁層を有する半導体装置の製造方法であって、下地 P-SiO 層を形成した後、該下地 P-SiO 層の表面に OH 基を多量に含む P-SiO 表面層 4 を形成し、さらに SOG 層を形成する工程を含む半導体装置の製造方法。



【特許請求の範囲】

【請求項 1】配線層間に、下地 P-SiO 層と SOG 層からなる層間絶縁層を有する半導体装置の製造方法であって、下地 P-SiO 層を形成した後、該下地 P-SiO 層の表面に OH 基を多量に含む P-SiO 表面層を形成し、さらに SOG 層を形成する工程を含む半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置の製造方法に関し、特に、平坦な層間絶縁膜におけるクラックの発生を防止することができる半導体装置の製造方法に関する。

【0002】

【従来の技術】多層配線の配線層間に配設される層間絶縁層は、一般に、第 1 層目の配線層の上にスピン・オン・ガラス法によって SOG 層を形成し、加熱処理によって SOG 層を平坦化する方法によって形成されている。この SOG 膜は水分吸湿性が高いため、図 2 (A) に示すように、まず、第 1 層目の配線層 11 上に下地 P-SiO 層 12 を形成する。次に、図 2 (B) に示すように、SOG 膜 13 をスピンコートし、400℃程度の熱処理を加えて平坦化した後、その上に P-SiO 膜を成膜し、平坦な層間絶縁層を形成している。

【0003】この SOG 膜は、下地酸化膜と OH 基を介して結合しているが、この SOG 膜が、特に無機 SOG 膜のように、自己応力が大きいものである場合、図 2 (C) に示すように、パッド部 14 等において、下地 P-SiO 層 12 から SOG 層 13 が剥がれる不具合が発生することがあった。この剥がれの発生を防止する方法として、下地が PSG 膜の場合には、 $CF_4 + O_2$ プラズマによる処理によって PSG 膜と SOG 膜の密着性を向上させる方法等が提案されている（特開昭 60-46036 号公報）。

【0004】

【発明が解決しようとする課題】しかし、前記 $CF_4 + O_2$ プラズマを用いる処理による方法においては、プラズマ工程を新たに加える必要が生じてコストの増大の原因となったり、また、プラズマ処理によるダメージの発生、また、スループットの低下等を招く等の問題があった。

【0005】そこで本発明の目的は、簡便な方法によって、SOG 層と下地 P-SiO 層との密着性を向上させることができ、層間絶縁層における SOG 層と下地 P-SiO 層との間の密着性不良に基づくクラックの発生を防止することができるため、安定した平坦化プロセスが可能となる半導体装置の製造方法を提供することにある。

【0006】

【課題を解決するための手段】前記課題を解決するため

に、本発明は、配線層間に、下地 P-SiO 層と SOG 層からなる層間絶縁層を有する半導体装置の製造方法であって、下地 P-SiO 層を形成した後、該下地 P-SiO 層の表面に OH 基を多量に含む P-SiO 表面層を形成し、さらに SOG 層を形成する工程を含む半導体装置の製造方法を提供するものである。

【0007】以下、半導体基板上に配線層を形成した後、本発明の半導体装置の製造方法（以下、「本発明の方法」という）を適用して、配線層の上部に平坦な層間絶縁層を形成する図 1 (A) ~ (D) に示す工程を例にとり、本発明の方法について詳細に説明する。

【0008】図 1 (A) ~ (D) に示す工程においては、まず、半導体基板 1 上に形成された、Al 合金、多結晶シリコン、ポリシリサイド等からなる配線層 2 の上部に、図 1 (A) に示すように、下地 P-SiO 層 3 が形成される。この下地 P-SiO 層 3 の形成は、特に制限されず、常法にしたがって行うことができる。また、この下地 P-SiO 層の厚さは、配線層の厚さ、配線間隔等にしたがって適宜決定されるが、通常、2000 ~ 3000 Å 程度である。

【0009】次に、本発明の方法においては、図 1 (B) に示すように、下地 P-SiO 層 3 の上に OH 基を多量に含む P-SiO 表面層 4 を形成する。この P-SiO 表面層における OH 基の量は、通常、SiO の量と比較して、0.4 ~ 0.5 程度であるが、密着性の向上のためには、0.7 ~ 0.8 程度であるのが好ましい。また、この P-SiO 表面層の厚さは、薄いほど良いが、通常、300 ~ 500 Å 程度である。

【0010】OH 基を多量に含む P-SiO 表面層の形成は、前記下地 P-SiO 層の形成に続いて、同一の成膜装置内において、連続して行ってもよいし、下地 P-SiO 層を形成した後、異なる成膜装置を用いて行ってもよい。この OH 基を多量に含む P-SiO 表面層を形成する方法としては、プラズマ密度を下げ、反応混合物を未分解にして行う方法が有効であり、具体的には、プラズマの放電電圧を段階的に下げる、CVD 装置の電極板間隔を段階的に広げる等の方法が有効である。

【0011】本発明の方法において、この OH 基を多量に含む P-SiO 表面層の形成を、前記下地 P-SiO 層をプラズマ CVD 装置内で形成した後、引き続いて、同じプラズマ CVD 装置において、プラズマの放電電圧を段階的に下げる、CVD 装置の電極板間隔を段階的に広げる等の操作によって、プラズマ密度を下げ、反応混合物を未分解にする方法が、良好な制御性で表面層に薄膜を形成できる点で、有効である。

【0012】次に、常法にしたがって、図 1 (C) に示すように、P-SiO 表面層 4 の上に SOG 層 5 を形成し、さらに加熱処理等により、図 1 (D) に示すように、SOG 層 5 の平坦化を行い、配線層 2 の上に、下地 P-SiO 層 3、P-SiO 表面層 4 および SOG 層 5

からなる平坦な層間絶縁層6を得ることができる。さらに、この層間絶縁層6の上部にP-SiO層等を形成した後、2層目の配線層等を形成することができる。

【0013】本発明の方法は、以上の図1(A)～

(D)に示す工程に制限されず、半導体装置の製造において、SOG層と下地P-SiO層とを有する層間膜の製造工程のいずれの工程にも、適用可能である。

【0014】

【作用】一般に、SOG層と下地P-SiO層との密着性は、両層が有するOH基同士の結合によって決定される。したがって、P-SiO膜のOH基が増加すると、OH基を有するSOG膜との密着性が向上すると考えられる。そのため、本発明の方法においては、下地P-SiO層とSOG層とは、OH基を多量に含有するP-SiO表面層の介在によって、密着性が向上し、クラックの発生を防止することができると考えられる。

【0015】

【実施例】以下、本発明の実施例を挙げ、本発明をより具体的に説明する。

【0016】(実施例1) プラズマCVD装置(日立電子エンジニアリング(株)製、WD-8300P)を用い、Siウェーハに形成した高さ5000ÅのAl配線層の上に、下記条件で厚さ2000ÅのP-SiO膜を成膜した。

ガス条件:

SiH₄: 300 sccm

N₂O: 600 sccm

温度: 360℃、

圧力: 5 Torr

プラズマ出力: 300W

次に、ガス条件を変えずに、プラズマ出力を200Wで1秒、100Wで1秒と徐々に下げて成膜を続けた。こ

のとき、SiH₄およびN₂Oは、プラズマ出力を落とすことにより、完全なSiO₂とならず未反応の多いP-SiO表面層を形成した。この表面層は、OH基の量がSiOとの比較で0.8であった。また、このP-SiO表面層の膜厚は約500Åであった。次いで、スピコート法によって無機SOGを2度塗りした後、400℃で加熱処理して2500ÅのSOG層を成膜した。得られた下地P-SiO層、P-SiO表面層およびSOG層からなる層間絶縁層は剥がれが生じていなかった。

【0017】

【発明の効果】本発明の半導体装置の製造方法によれば、簡便な方法によって、SOG層と下地P-SiO層との密着性を向上させることができ、層間絶縁層におけるSOG層と下地P-SiO層との間の密着性不良に基づくクラックの発生を防止することができるため、安定した平坦化プロセスが可能となる。

【図面の簡単な説明】

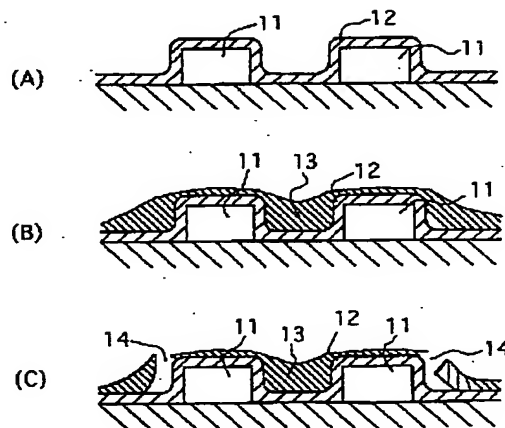
【図1】 本発明の方法を説明する模式断面図。

【図2】 従来のSOG膜による平坦化工程を説明する模式図。

【符号の説明】

- 1 半導体基板
- 2 配線層
- 3 下地P-SiO層
- 4 P-SiO表面層
- 5 SOG層
- 11 配線層
- 12 下地P-SiO層
- 13 SOG膜
- 14 パッド部

【図2】



【図 1】

